

静電気放電による IC の劣化

室田修男*¹ 長田貢一*² 盛田耕作*¹

Deterioration of Integrated Circuits by the Electrostatic Discharge

Nobuo MUROTA, Koichi OSADA and Kosaku MORITA

電子機器の中核である CMOS 構造の半導体デバイスに各種の静電気放電を印加しその耐性を検討した。

1. 静電気放電モデルとしては、人体モデル、マシンモデル及びデバイス帯電モデルが知られているが、これらの静電気放電電流波形は著しく異なる。電気回路シミュレーションソフトを用いた解析によると、人体モデル、マシンモデルとも波形の立上がりは 1.0ns 程度であるが、デバイス帯電モデルによる波形の立上がりは 300ps と高速である。
2. 破壊耐圧測定の結果、IEC の人体モデルでは 8kV、マシンモデルでは 0.8kV であった。マシンモデルは非常に厳しい試験といえる。デバイス帯電モデルでは 4kV でも破壊しなかった。
3. 破壊耐圧以下の静電気放電を複数回試料に印加した結果、正常な電圧論理動作を行うがリーク電流やシンク電流などの電流駆動特性の測定を行うとメーカーの規格値を満たさないものが発生した。ゲートの絶縁酸化膜・チャネル部の特性劣化のため、電子機器の中に組み込んだときの動作が保証されない可能性がある。

*¹ 機械電子部 *² 機械電子部、(現)企画部交通対策室