

# FPGA を用いた調光器の開発

堀場隆広<sup>\*1</sup>、依田康宏<sup>\*2</sup>

## Development of Dimmer with FPGA

Takahiro HORIBA and Yasuhiro YODA

Industrial Technology Division, AITEC<sup>\*1</sup>

Research and Development Division, AITEC<sup>\*2</sup>

本研究では、書き込み可能な FPGA を用いて 1 チップで照明の調光と明るさの表示ができるシステム LSI を開発した。調光用のシステム LSI の設計についてはパソコン上でハードウェア記述言語を用いて記述した。そして、記述した設計データを FPGA の開発プログラムによってコンフィグレーションデータに変換した。これを FPGA に転送して書き込むことにより調光用のシステム LSI を作製した。作製したシステム LSI の周辺に LED の照明回路、輝度設定回路、輝度表示回路、音発生回路を製作して小型の調光器を試作した。試作した調光器に LED の照明を取り付け、調光できることを確認した。

### 1. はじめに

情報機器や電子機器の高機能化により、複雑で高速なデジタル回路の製作や手軽に小型で携帯できる機器を試作することや少量の機器を効率良く製品化する開発手法が求められている。しかし、従来の市販部品を用いたプリント基板やカスタム LSI を用いた機器開発は基板の回路パターンが複雑になる、試作回路の誤りが許されない、試作コストがかかるなどの問題があった。最近、LSI 内部の回路への書き込みや回路の追加・修正が可能な FPGA(Field Programmable Gate Array)が安価に市販されるようになってきた。しかし、このような FPGA を用いた回路設計は従来の論理回路によるゲートレベルの設計より、より抽象度の高いハードウェア記述言語を用いて、さらに規模の大きい回路を効率良く作製できる新しい設計技術が求められている。

本研究では、FPGA の回路設計をハードウェア記述言語で記述することにより、1 チップで調光用システム LSI を設計した。

### 2. 実験方法

#### 2.1 調光用システム LSI の概要

調光用システム LSI は図 1 で示すように調光用の FPGA を中心として、輝度設定ボタン(ここでいう輝度とは明るさのことである)、LED 照明、輝度表示 LED、小型スピーカを接続する構成とした。輝度設定ボタンは照明の明るさを上げるアップボタンと明るさを下げるダウンボタンの二つのボタンである。LED 照明は高輝度の LED を接続して照明に用いる。輝度表示 LED は LED

照明の明るさを数値で表示するために 7 セグメント 3 桁の LED を用いて表示する。小型スピーカは輝度設定ボタンを押したときに音を鳴らすために用いる。

開発に用いた FPGA 基板は基本クロックが 33.3MHz、FPGA の回路規模は約 1 万ゲート、ロジックエレメントが 576(LE)のものを使用した。FPGA 内臓のメモリブロックは 4Kbit×3 である。利用可能ピン数は 66 ピンのものを使用した。FPGA 基板の電源は外部電圧が 5.0(V)、I/O 電圧が 3.3(V)、コア電圧が 2.5(V)のものを用いた。

調光用システム LSI の仕様は以下のように定めた。明るさのアップボタンとダウンボタンの設定モードは 1 回モードと連続モードの二つのモードを用意した。1 回モードは短時間にボタンを 1 回押すと明るさの値が 1 変

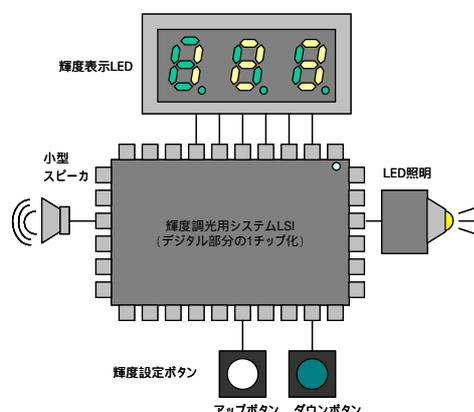


図 1 調光用システム LSI の概要

\*1 工業技術部 機械電子室 \*2 基盤技術部

化するモードである。連続モードは一定時間以上ボタンを押し続けると明るさの値が連続的に変わるモードである。このボタンの二つの設定モードで LED 照明の明るさを変更できるようにした。

回路の放熱の関係から、調光は LED 照明の電流をスイッチングすることによった。また、LED の調光は 256(2<sup>8</sup>)段階で変わるようにした。

輝度表示 LED は 3 桁の 7 セグメントの LED を接続できるようにした。この調光器で使用している FPGA はピンの本数が少ない小規模のものを用いているので、輝度表示 LED は FPGA の使用ピン数を減らすために、時分割で LED を表示するダイナミック表示にした。明るさの表示は 0 の値のとき最も暗く、255 の値のとき最も明るくなるようにした。

音は輝度設定ボタンを押し、明るさが変化したときに一定時間鳴るようにした。

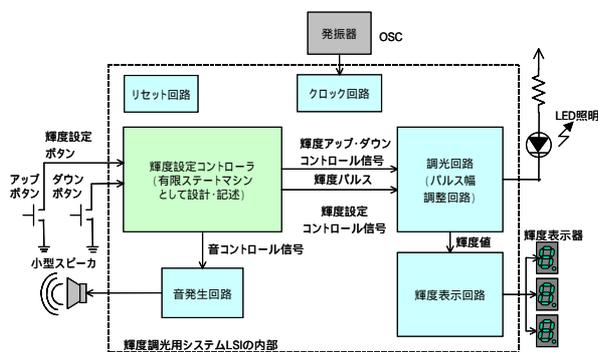
## 2.2 調光器用システム LSI 設計の詳細

設計はハードウェア記述言語の一つである VHDL<sup>1)</sup>で記述した。VHDL は設計仕様のドキュメント言語として開発されたため、読解性に優れ、システムのあいまいさを排除したハードウェア記述言語である。

調光器用システム LSI 内部の回路ブロックを **図 2** で示す。回路は大きく分けて調光回路、輝度表示回路、音発生回路、輝度設定コントローラの四つのブロックに分けた。

調光回路は LED の明るさを調光するパルスを発生する回路である。また、輝度表示回路は明るさの値を 7 セグメント 3 桁の LED 上に数値として表示する回路である。

音発生回路はスピーカから音を出すための信号を発生する回路である。

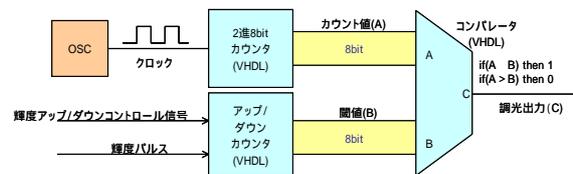


**図 2** 調光器用システム LSI の回路ブロック

### 2.2.1 調光回路

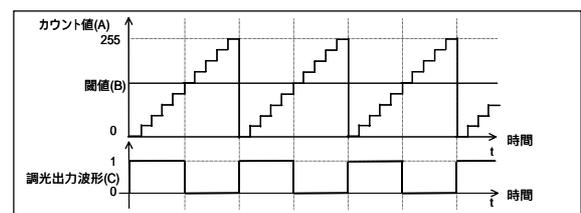
調光回路は **図 3** で示すように 8bit のカウンタ、8bit のアップ・ダウンカウンタ、8bit のコンパレータで構成した。8bit のカウンタは OSC (発振器)からの 33.3MHz

クロックを分周して 8bit のカウンタのクロックとして入力して、常にクロックパルスをカウントするようにした。そして、カウントした 8bit の値をコンパレータに入力した。また、8bit のアップ・ダウンカウンタは輝度アップ/ダウンコントロール信号と輝度パルスの信号を輝度設定コントローラに接続して、輝度設定コントローラからカウント値を 1 ずつに変えられるようにした。そして、アップ・ダウンカウンタの 8bit のカウント値をコンパレータのもう一方に接続した。コンパレータでは 8bit のカウンタ値と 8bit のアップ・ダウンカウンタ値を比較することによって調光出力を得た。



**図 3** 調光回路

**図 4** に調光回路の原理を示す。8bit のカウンタは常にクロックパルスが入力され、クロックをカウントしているので、**図 4** の階段状の値をとる。一方、アップ・ダウンカウンタのカウント値は輝度設定ボタンによって輝度設定コントローラから明るさの値が設定されるので、ある値(閾値)になっている。そして、この二つの値をコンパレータで比較して 8bit のカウンタ値が 8bit のアップ・ダウンカウンタ値より小さいとき、コンパレータの出力が H レベルなる。また逆に、大きいときは L レベルになる。このコンパレータの比較値を調光波形として FPGA のピンに出力した。調光回路の各ブロックはハードウェア記述言語である VHDL で記述した。



**図 4** 調光回路の原理

### 2.2.2 輝度表示回路

輝度表示回路はコンパレータの閾値である 8bit アップ・ダウンカウンタ値を 10 進数 3 桁の LED の表示データに変換する回路である。**図 5** で示すように輝度表示回路は大きく分けて 2 進-7 セグメントデータ変換回路とダイナミック表示回路の二つの回路からなる。

2 進-7 セグメントデータ変換回路は 2 進-BCD 変換回路、BCD-7 セグメントデコード、ゼロサプレス回路からなる。2 進-BCD 変換回路は 8bit のバイナリ値を 3 桁の

2進10進コード(BCD)に変換する回路である。この回路は通常、順序回路で設計するが、ここで使用しているFPGAは内蔵のハードウェアとしてメモリを備えているので、このメモリを2進-BCDの変換テーブルとして利用した。変換テーブルは入力が8bitのバイナリデータで、出力は3桁の4bitのBCDであるので、計12ビットの出力になることから、12bit 1ワードの256ワードのメモリが必要になる。利用しているFPGAの内蔵メモリはこのサイズのメモリを設定できるので、プログラムを作成して変換データをROMのIPコアとして内蔵メモリにデータを書き込んで利用した。

BCD-7セグメントデコーダはBCDコードをLEDの7セグメントの表示データに変換する回路である。これに不要な表示を消す入力信号(BLANK)を設けた。このBCD-7セグメントデコーダはVHDLで記述した。そして、一つのBCD-7セグメントデコーダのVHDLコードから三つのBCD-7セグメントデコーダを生成して利用した。

ゼロサプレス回路は輝度表示LEDに表示される不要なゼロを消す回路である。2進-BCD変換回路の出力をそのままBCD-7セグメントデコーダで変換して表示すると不要なゼロが表示されるので、ゼロサプレス回路で不要なゼロを取り除いた。3桁目(最上位桁)のゼロサプレス回路は3桁目の数値を参照して、3桁目がゼロであれば、3桁目の表示を消すようにした。2桁目のゼロサプレス回路は最上位の3桁目の桁がゼロかつ2桁目がゼロのとき2桁目の表示を消すようにした。1桁目は常に表示するようにした。

ダイナミック表示は複数桁のうち1つの桁のみを表示して、それを高速で走査することによって、見かけ上、全ての桁が表示されているように見せかける表示方式のことである。ダイナミック表示は表示器とLSIを接続する線やピンの数を減らすことができるという特長をもつ。

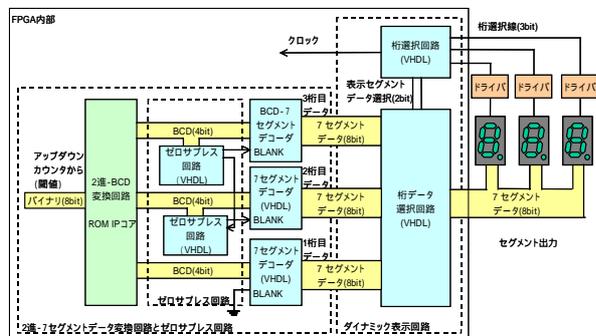


図5 輝度表示回路

調光用のシステムLSIのダイナミック表示回路は3桁の表示のうち1桁を選択する桁選択回路と7セグメントのデータを選択する桁データ選択回路から構成した。図5

で示すように桁選択回路は3進カウンタと2bitのデコーダから構成し、デコーダから桁選択線としてFPGAのピンに出力した。さらに、3進カウンタの値はマルチプレクサに接続し、選択された桁の7セグメントデータ1桁のデータが選択されFPGAのピンに出力するようにした。

### 2.2.3 音発生回路

音発生回路は発振器のパルスをクリック回路で分周して可聴領域まで周波数を落とし、輝度設定コントローラからの信号をゲート信号として、音を出したり、切ったりできるように回路を作製した。

### 2.2.4 輝度設定コントローラ

輝度設定コントローラはこの調光用のシステムLSIの中心となる回路である。輝度設定コントローラは有限ステートマシン<sup>2)</sup>として設計した。この有限ステートマシンはリセット信号、アップボタン、ダウンボタンの三つの入力信号がある。この入力によって輝度設定コントローラの状態が変わり、その状態遷移を利用して各回路の制御信号を生成した。有限ステートマシン(以後、ステートマシンとする)は内部状態のみで制御信号を生成するムーア型のステートマシンとして回路を作製した。図6に設計した輝度設定コントローラのステートマシンを示す。このステートマシンは大きく分けるとアップボタンのステートマシンとダウンボタンのステートマシンからなっている。ステートマシンはクロック1サイクルで各状態を遷移する。まず、機器に電源が入るとリセット信号が入り、アップボタンもダウンボタンも押されていない「ボタンを放している状態」になる。ここで、アップボタンを押すと「ボタンを押した状態」に遷移する。そして、すぐにボタンを離した場合は「ボタンを放している状態」に遷移する。さらにアップボタンを押し続けると「ボタンを押し続けている状態」に遷移し、このとき明るさを1増加する信号を調光回路に出力する。「ボタンを押し続けている状態」で、ボタンを離すと「ボタンを放している状態」に遷移する。ボタンをさらに押し続けていると「ボタンを押し続けている状態」でループ

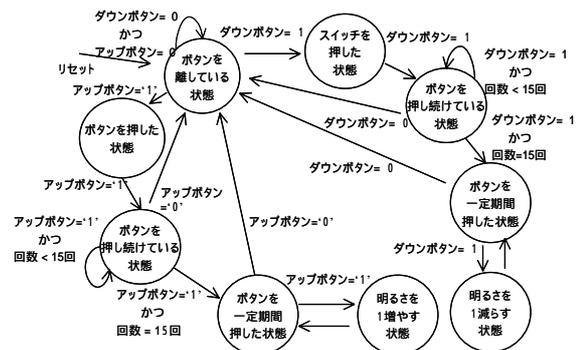


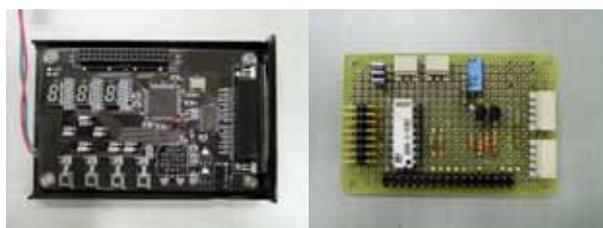
図6 輝度設定コントローラのステートマシン

になる。ループで遷移回数が 15 回に達するとボタンを一定期間押したことになり、「ボタンを一定期間押した状態」に遷移する。さらに、「ボタンを一定期間押した状態」でボタンを押し続けると「明るさを 1 増やす状態」に遷移し、明るさを 1 増やす信号を調光回路に出力する。「明るさを 1 増やす状態」から「ボタンを一定期間押した状態」に遷移し、ボタンを押している間はこの二つの状態をクロック毎に交互に遷移して明るさを 1 ずつ増やす。もし、このときアップボタンが離されると「ボタンを離している状態」に戻る。ダウンボタンも同様の状態遷移をするが、ダウンボタンの場合は 1 減らす信号を出力する。

この輝度設定コントローラのステートマシンを基にして回路を VHDL で記述した。

### 2.3 FPGA 基板と拡張基板

調光器用システム LSI を試作するために用いた FPGA 基板を **図 7 (a)** に示す。輝度設定ボタン、輝度表示用 LED、小型スピーカを接続するために試作した拡張基板を **図 7 (b)** に示す。そして、FPGA 基板と拡張基板を接続して調光器を試作した。



(a) FPGA 基板 (b) 拡張基板

**図 7** FPGA 基板と拡張基板

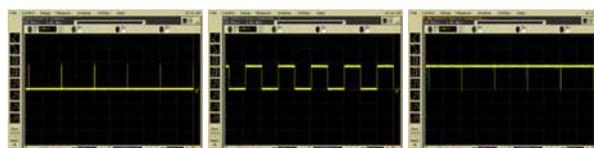
## 3 . 結果および考察

試作した調光器を **図 8** に示す。また、調光器の調光波形を **図 9** に示す。試作した輝度調光用 LSI の回路規模はテスト回路も含めロジックエレメントが 162(LE)、LSI のピンの使用本数が 58pin、メモリの使用量が



**図 8** 調光器

3,072bit であった。これはここで使用した FPGA の全容量の約 1/3 で作製することができた。試作した調光器はパルス幅を 256 等分にして明るさを調光しているため、LED の明るさと調光の明るさの数値が見かけ上、直線的に変化していないので、補正する回路の追加が必要である。また、電源を切ると設定した明るさの値が初期化されるので、明るさの値を記憶するバッテリーでバックアップされたメモリ回路が必要である。



暗い輝度  
(輝度表示 1)      中間の輝度  
(輝度表示 128)      明るい輝度  
(輝度表示 254)

**図 9** 調光波形

## 4 . 結び

調光用システム LSI をハードウェア記述言語で設計した。この設計した言語を FPGA の開発プログラムによってコンフィグレーションデータに落とし、FPGA に書き込んでシステム LSI を作製した。このシステム LSI に周辺回路を設計・製作して小型化の調光器を試作した。そして、調光器として動作することを確認した。

この実験において、1 チップで明るさの表示機能の付いた調光用システム LSI を約 3 千ゲート(162LE)で製作できた。今回は FPGA の容量の制限により、全てハードウェア記述言語で調光用 LSI を記述したが、FPGA の内部にプロセッサの IP を組み込み、プログラムを実行できるようにすることによって、ハードウェアとソフトウェアを上手くトレードオフすることで、さらに効率良くシステム LSI を開発できる。本文では示さなかったが、従来のアナログ回路で作製するよりも基板の部品の点数を減らすことができ、調整箇所をなくし再現性を上げることや低消費電力にすることができる。また、調光器(デジタル回路)に FPGA を使うメリットには、完成してからパソコンを用いてハードウェア記述言語を変更するだけで機能の変更や回路の追加が可能であることを挙げられる。

### 文献

- 1) 桜井 至 著 :HDL によるデジタル回路の基礎, p24(1997), テクノプレス
- 2) Jayaram Bhasker 著, 訳デザインウェブ企画室: VHDL 言語入門, p283(1995), CQ 出版