

CMOS IC の電気ストレスによる特性劣化

小久保弘樹^{*1} 室田修男^{*1}

Deterioration of a CMOS IC by Electrical Stress

Hiroki KOKUBO and Nobuo MUROTA

本報では、IC の静電気放電や雷サージ、直流過電圧への耐性と、その破壊形態の特徴について取り上げる。使用した IC はスタンダードタイプの CMOS インタータである。静電気放電は、マシンモデルと人体モデルを用いて印加し、雷サージは、波頭長 $1.2\mu\text{s}$ 、波尾長 $50\mu\text{s}$ のものを印加した。本研究により明らかになったことを以下に要約する。

1. 静電気放電の場合、IC を破壊する帯電電圧は、人体モデルの方がマシンモデルよりも 10 倍程度大きくなるが、実際に IC に印加されている波形を観測すると、そのピーク値はほとんど同じであることが確認でき、一定レベルの高電圧の印加による IC 破壊であることが推測できた。
2. 雷サージと直流過電圧による IC の破壊では、IC の内部回路に明らかな形状変化が観察できた。これは、IC の入力部分に大電流による溶断が生じているためと推測できる。また、直流過電圧を印加した場合にのみ、伝搬遅延時間の劣化が観測できた。

^{*1} 機械電子部